

MANUFACTURE OF BIPOLAR CMOS INTEGRATED CIRCUIT

Publication number: JP10233459

Publication date: 1998-09-02

Inventor: GRIS YVON

Applicant: SGS THOMSON MICROELECTRONICS

Classification:

- **international:** *H01L21/8249; H01L27/06; H01L21/70; H01L27/06;*
(IPC1-7): H01L21/8249; H01L27/06

- **European:** H01L21/8249; H01L27/06D4T

Application number: JP19970333761 19971119

Priority number(s): FR19960014412 19961119

Also published as:

 EP0843354 (A1)

 US5953600 (A1)

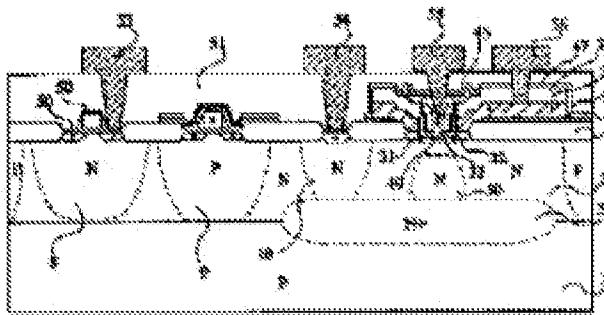
 FR2756104 (A1)

 EP0843354 (B1)

[Report a data error here](#)

Abstract of JP10233459

PROBLEM TO BE SOLVED: To improve effectively the noise factor of the RF of a bipolar CMOS integrated circuit, by a method wherein an N-channel MOS transistor, a P- channel MOS transistor and N-P-N bipolar transistor are interconnected to constitute the bipolar CMOS integrated circuit. **SOLUTION:** An N-type epitaxial layer 2 is formed on a P-type substrate 1 and, before the growth of the layer 2, an N<+> buried layer 3 is formed in the side of a bipolar transistor. At the same time, a collector well 10 jointed to the layer 3 is set in a thick oxide layer 5 and a double protective layer consisting of a silicon oxide layer 21, and a silicon nitride layer 22 is deposited on the oxide layer 5 to form the N-P-N channel bipolar transistor. On the other hand, an N-type well 8 and a P-type well 9 are respectively inserted in opening parts formed in the thick oxide layer 5 on the sides of MOS transistor, and the P-channel MOS transistor and the N-channel MOS transistor are formed to interconnect the MOS transistors with the N-P-N bipolar transistor. Accordingly, the noise factor of the RF of a bipolar CMOS integrated circuit can be improved.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233459

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.⁶

H 0 1 L 21/8249
27/06

識別記号

F I

H 0 1 L 27/06

3 2 1 A

審査請求 有 請求項の数12 FD (全 16 頁)

(21)出願番号 特願平9-333761

(22)出願日 平成9年(1997)11月19日

(31)優先権主張番号 9 6 1 4 4 1 2

(32)優先日 1996年11月19日

(33)優先権主張国 フランス (F R)

(71)出願人 591035139

エスジェエーストムソン ミクロエレクト
ロニクス ソシエテ アノニム
SGS-THOMSON MICROELECTRONICS
SOCIETE A
NONYME
フランス国, 94250 ジエンティリィセ
デ, アベニュ ガリエニ, 7番地

(72)発明者 イヴォン グリ

フランス国, 38210 テュラン, レ
オブドニエル (番地なし)

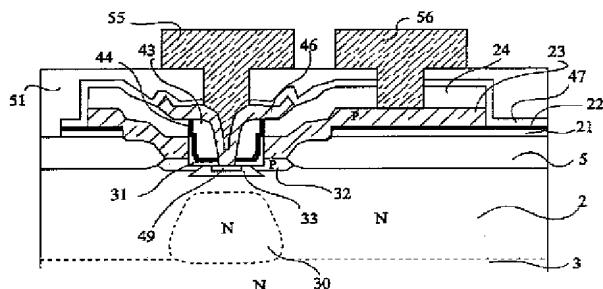
(74)代理人 弁理士 山本 恵一

(54)【発明の名称】 バイポーラCMOS集積回路の製造方法

(57)【要約】

【課題】 相補型MOSトランジスタとNPN型バイポーラトランジスタを含む集積回路の製造方法を開示する。

【解決手段】 本発明の製造方法は、エピタキシャル層内にMOSトランジスタを形成すること、二重保護層で構造全体をコーティングすること、この二重の層の開口部の中にバイポーラトランジスタのエミッターベースを形成すること、エミッターベース領域の下のエピタキシャル層の中で特別なコレクタ拡散が形成される事、シリサイデーションを行いたい位置で二重保護層を再び切り開くこと、の各段階を含んでいることを特徴としている。



【特許請求の範囲】

【請求項1】 相補型MOSトランジスタとNPN型バイポーラトランジスタを含む集積回路を製造する方法であって、
 P型の基板(1)の上にN型のエピタキシャル層(2)を形成することで、埋め込み層(3)が少なくともバイポーラトランジスタの位置に与えられており、MOSトランジスタのウェル(8、9)、該バイポーラトランジスタのコレクタウェル領域(10)及びバイポーラトランジスタのベースーエミッタ領域(11)の位置以外の位置に厚い酸化層を形成すること、MOSトランジスタのウェル(8、9)及びバイポーラトランジスタのコレクタウェル(10)を形成すること、MOSトランジスタの絶縁ゲート、スペーサ、ソース及びドレインを形成すること、酸化シリコンの第1の層(21)と窒化シリコンの第1の層(22)を含む保護層で構造全体を覆うこと、バイポーラトランジスタのベースーエミッタの位置で該保護層を切り開くこと、ポリシリコン又はアモルファスシリコンの第1のP型のドーピングされた層(23)とカプセル封じの酸化物の第2の層(24)を形成すること、バイポーラトランジスタのエミッターベース領域の中央でこれら最後の二つの層(23、24)を切り開くこと、第1のシリコン層(23)に含まれる不純物をバイポーラトランジスタの外因性ベースを形成するため下にあるエピタキシャル層に拡散させること、N型のコレクタ不純物(30)を注入すること、バイポーラトランジスタの真性ベースを形成するためP型の不純物(33)を注入すること、第2の窒化シリコン層(44)をデポジットさせ、ポリシリコンの第2の層(43)をデポジットさせ、垂直部分内のスペーサを適所に残すため第2のポリシリコン層に異方性のエッチングをし、窒化シリコンを除去すること、第3のN型のドーピングのポリシリコン層(46)をデポジットし、バイポーラトランジスタのエミッタを形成するため該ドーピングを拡散すること、ケイ化物にするため領域(50)を奇麗にすること、シリサイデーションを行うこと、平面化された絶縁層(51)をデポジットすること、メタライゼーション(53-56)を行うこと、の各段階を含むことを特徴とするバイポーラCMOS集積回路の製造方法。
 【請求項2】 第1の酸化シリコン層(21)の厚さが約20nmであり、第1の窒化シリコン層(22)の厚さが約30nmであることを特徴とする請求項1に記載の製造方法。

【請求項3】 第1のシリコン層(23)の厚さが約200nmであり、第2の酸化シリコン層(24)の厚さが約300nmであることを特徴とする請求項1に記載の製造方法。

【請求項4】 第1のシリコン層(23)が不純物のないアモルファスシリコンのデポジットと、次にBF₂の表面の注入により得られることを特徴とする請求項1に記載の製造方法。

【請求項5】 コレクタのウェルの表面の領域がNチャネルMOSトランジスタのソースとドレインと同時にドーピングされていることを特徴とする請求項1に記載の製造方法。

【請求項6】 エミッターベースの位置での保護層の開口部が厚い酸化物の中の対応する開口部より広さが小さいことを特徴とする請求項1に記載の製造方法。

【請求項7】 他の素子を実装するため種々の段階の方法を使用することから更に成ることを特徴とする請求項1に記載の製造方法。

【請求項8】 第1のシリコン層(23)と第2のカプセル封じの層(24)を切り開くことがこれらの層の中央の領域を適所に残す様に行われることを特徴とする請求項7に基づく方法により得られるセントラルベースのバイポーラトランジスタ。

【請求項9】 ベース領域がN⁺型の埋め込み層(3)の上に形成されたエピタキシャル層に対応しており、エミッタ領域がPチャネルMOSトランジスタのソースとドレインと同じ注入により形成されており、コレクタ領域が第1のポリシリコン層(23)の一部(72)から形成されている、ことを特徴とする請求項7の製造方法に基づき得られるラテラルPNPトランジスタ。

【請求項10】 MOSトランジスタの接触ドレインが基板の一部の上に広がる第1のポリシリコン層の一部(85)により覆われており、更にドレイン領域(104)を延長する拡散(102)を行うためにも使用されているMOSトランジスタを含むことを特徴とし、請求項7の製造方法に基づき得られる静電放電に強いMOSトランジスタ。

【請求項11】 絶縁Pウェル(112)内に形成されており、

ゲート絶縁層(95、96)が第1の酸化シリコン層(21)と第1の窒化シリコン層(22)とを含む保護層の一部に対応しており、

ゲート(97)が第1のドーピングされたポリシリコン層(23)から形成され、第2のカプセル封じ酸化物の層(24)で覆われており、

ゲートが第2の窒化シリコン層と第2のポリシリコン層とにより形成されたスペーサ(43、99)で横に組み立てられており、

ソース及びドレイン接触リカバリー領域が第3のポリシ

リコン層の一部のデポジションから拡散によりドーピングされた領域(101、102)で形成されている、ことを特徴とする請求項7の製造方法に基づき得られる高電圧MOSトランジスタ。

【請求項12】 第1のゲート(115)、関連したスペーサ及びソース及びドレインがMOSトランジスタと同時に形成され、

ゲート間の絶縁体が保護層の一部(21、22)に対応しており、

第2のゲート(118)が第1のポリシリコン層(23)に対応している、ことを特徴とする請求項7の製造方法に基づき得られるEPROMトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は特にバイポーラ及び相補型MOS(CMOS)素子を含む集積回路の製造方法に関する。このタイプの製造ラインは一般にBICMOSラインと呼ばれている。

【0002】

【課題を解決するための手段】 本発明の目的はマスクの上に設計された素子の大きさが0.4μm以下の大きさ、例えば0.2μmから0.35μmまでである様にすることができるラインを与えることである。

【0003】 本発明のより特別な目的はMOSタイプの素子の特性及びバイポーラタイプの素子の特性が最適である様なラインを与えることである。

【0004】 本発明の他の目的はCMOS素子の製造の周知のラインに適合するラインを与えることである。

【0005】 本発明の他の目的は所望の結果を得るため可能な限り簡単なラインを与えることである。

【0006】 本発明の他の目的は基本的な素子(NPNトランジスタ、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタ)以外に多くの素子の製造に適したラインを与えることである。

【0007】 これらの及び他の目的を達成するため、バイポーラトランジスタの埋め込み層、MOSトランジスタ、バイポーラトランジスタ及び相互接続が連続して作られ、バイポーラトランジスタの特性からMOSトランジスタの特性が減結合され、これらの素子のそれぞれが最適にされる。MOSトランジスタの形成後、保護層によりバイポーラトランジスタの形成の間MOSトランジスタを保護することができる。この保護層は、従ってケイ化物領域の形成に対しマスクとして使用することができる。

【0008】 より詳細には、本発明は次の段階；P型の基板の上にN型のエピタキシャル層を形成することで、埋め込み層が少なくともバイポーラトランジスタの位置に与えられており、MOSトランジスタのウェル、該バイポーラトランジスタのコレクタウェル領域及びバイポーラトランジスタのベース-エミッタ領域の位置以外の

位置に厚い酸化層を形成すること、MOSトランジスタのウェル及びバイポーラトランジスタのコレクタウェルを形成すること、MOSトランジスタの絶縁ゲート、スペーサ、ソース及びドレインを形成すること、酸化シリコンの第1の層と窒化シリコンの第1の層を含む保護層で構造全体を覆うこと、バイポーラトランジスタのベース-エミッタの位置で該保護層を切り開くこと、ポリシリコン又はアモルファスシリコンの第1のP型のドーピングされた層とカプセル封じの酸化物の第2の層を形成すること、バイポーラトランジスタのエミッターベース領域の中央でこれら最後の二つの層を切り開くこと、第1のシリコン層に含まれる不純物をバイポーラトランジスタの外因性ベースを形成するため下にあるエピタキシャル層に拡散させること、N型のコレクタ不純物を注入すること、バイポーラトランジスタの真性ベースを形成するためP型の不純物を注入すること、第2の窒化シリコン層をデポジットさせ、ポリシリコンの第2の層をデポジットさせ、垂直部分内のスペーサを適所に残すため第2のポリシリコン層に異方性のエッチングをし、窒化シリコンを除去すること、第3のN型のドーピングのポリシリコン層をデポジットし、バイポーラトランジスタのエミッタを形成するため該ドーピングを拡散すること、ケイ化物にするため領域を奇麗にすること、シリサイデーション(silicidation)を行うこと、平面化された絶縁層をデポジットすること、メタライゼーションを行うこと、を含むことを特徴とし、相補型MOSトランジスタとNPN型バイポーラトランジスタを含む集積回路を製造する方法を提供することである。

【0009】 本発明の実施態様によれば、第1の酸化シリコン層の厚さが約20nmであり、第1の窒化シリコン層の厚さが約30nmである。

【0010】 本発明の実施態様によれば、第1のシリコン層の厚さが約200nmであり、第2の酸化シリコン層の厚さが約300nmである。

【0011】 本発明の実施態様によれば、第1のシリコン層が不純物のないアモルファスシリコンのデポジットと、次にBF₂の表面の注入により得られる。

【0012】 本発明の実施態様によれば、コレクタのウェルの表面の領域がNチャネルMOSトランジスタのソースとドレインと同時にドーピングされている。

【0013】 本発明の実施態様によれば、エミッターベースの位置での保護層の開口部が厚い酸化物の中の対応する開口部より広さが小さい。

【0014】 本発明の実施態様によれば、他の素子を実装するための種々の段階の方法を使用することから更に成る。

【0015】 本発明は、第1のシリコン層と第2のカプセル封じの層を切り開くことがこれらの層の中央の領域を適所に残す様に行われることを特徴とするセントラルベースバイポーラトランジスタを提供する。

【0016】本発明は、ベース領域がN⁺型の埋め込み層の上に形成されたエピタキシャル層に対応しており、エミッタ領域がPチャネルMOSトランジスタのソースとドレインと同じ注入により形成されており、コレクタ領域が第1のポリシリコン層の一部から形成されている、ことを特徴とするラテラルPNPトランジスタを提供する。

【0017】本発明は、MOSトランジスタの接触ドレインが基板の一部の上に広がる第1のポリシリコン層の一部により覆われており、更にドレイン領域を延長する拡散を行うためにも使用されているMOSトランジスタを含むことを特徴とし、静电放電に強いMOSトランジスタを提供する。

【0018】本発明は、絶縁Pウェル内に形成されており、ゲート絶縁層が第1の酸化シリコン層と第1の窒化シリコン層とを含む保護層の一部に対応しており、ゲートが第1のドーピングされたポリシリコン層から形成され、第2のカプセル封じ酸化物の層で覆われており、ゲートが第2の窒化シリコン層と第2のポリシリコン層により形成されたスペーサで横に組み立てられており、ソース及びドレイン接触リカバリー領域が第3のポリシリコン層の一部のデポジットから拡散によりドーピングされた領域で形成されている、ことを特徴とする高電圧MOSトランジスタを提供する。

【0019】本発明は、第1のゲート、関連したスペーサ及びソース及びドレインがMOSトランジスタのそれらと同時に形成され、ゲート間の絶縁体が保護層の一部に対応しており、第2のゲートが第1のポリシリコン層に対応している、ことを特徴とするEPROMトランジスタを提供する。

【0020】本発明のこれらの及び他の目的、特徴及び利点を添付の図面に関連した特別な実施態様で、これに限定されない次の記載で詳細に述べる。

【0021】

【発明の実施の形態】通常、半導体素子を表す分野において、種々の断面図は一定の比率の大きさで示していない。種々の層及び領域の横及び斜めの大きさは任意に大きく又は小さくし作図を容易にしている。

【0022】一般に以下の記載において、CMOS素子が形成される図1から図11の左側はCMOS側と呼ばれ、NPN型バイポーラトランジスタが形成されるこれらの図の右側はバイポーラ側と呼ばれる。以下に、NチャネルMOSトランジスタ、PチャネルMOSトランジスタ及びNPN型バイポーラトランジスタの製造を記載する。勿論、実際の製造においては、多数の同一の素子が同時に形成され、同様に可能な他のタイプの基本素子も形成される。

【0023】本発明の様相によれば、最初の段階は大きさが非常に小さな(0.35μm以下の最小限の大きさ、即ちゲートの大きさの)CMOS集積回路の製造に

対する周知の段階に対応している。

【0024】図1に示す様に、N型のエピタキシャル層2は最初のP型基板1の上に形成される。該エピタキシャル層は比較的薄く、例えば約1μmから1.2μmの厚さである。

【0025】該エピタキシャル層の成長の前に、必要があれば適当なタイプの埋め込み層が、CMOSトランジスタのN又はPのウェルが形成される領域に与えられ、N⁺型の埋め込み層3が該バイポーラ側に形成される。

【0026】図2に示す様に、MOS側ではMOSトランジスタの領域があらゆる周知の技術により形成された厚い酸化層5の中の開口部により制限されている。開口部内に形成された厚い酸化領域又は薄い酸化領域6があるにも拘らず、N型のウェル8とP型のウェル9が従来通り差し込まれている。これらのウェルは例えば3つの連続した差し込みにより形成され、その1つはマスクされない領域の中で厚い酸化層5を通っている。これらのN及びPのウェルはそれぞれPチャネルMOSトランジスタとNチャネルMOSトランジスタを意味している。表面のドーピングのレベル(約10¹⁶at./cm³)によりトランジスタの閾値電圧が決まる。一般的な場合、(P⁺埋め込み層内に関連した)PウェルはP基板と電気的に接続している。しかし、N型の埋め込み層の上に少なくとも幾らかのPウェルを形成することもできる。NウェルはP基板内に現れており、横が絶縁されているので、Pウェルの様に形成されたP領域と完全に絶縁されている。

【0027】同時に、バイポーラ側ではコレクタ接触即ち埋め込み層3と接合したコレクタウェル10をリカバーするドライブインが形成されている領域の範囲が厚い酸化物5の中で定められている。このコレクタウェルはN型のウェル8を形成するため行われた少なくとも少しの注入、又は特別なN⁺型の注入により形成されている。このコレクタウェルは更にNチャネルMOSトランジスタのソース及びドレインと同時に継続して形成することができる。更に、NPN型バイポーラトランジスタのベースとエミッタが形成される領域11の範囲が厚い酸化層内に定められている。N及びPウェルの種々の注入の間、この領域11がマスクされる。

【0028】図3に示す様に、MOS側ではMOSトランジスタの絶縁ゲート13と14は次の様に従来通り形成されている:最初の注入が行われる(LDD);スペーサ15と16が形成される;更にドレインとソースの注入が行われる。ウェル8内では、該注入はP型であり、ウェル9内では、該注入はN型である。同時に、Pウェル内にNチャネルのトランジスタのソースとドレインを作ることのために、十分なドーピングのN型拡散がコレクタウェル10の表面で行われその後接触の形成が改善される。

【0029】次に、早い熱アニールが行われる(102

5°C)。

【0030】この段階の後で、MOSトランジスタの殆どの形成が終わると(シリサイデーションとメタリゼーションを作ることができる接触を除いて)、NPN型トランジスタが作られる。

【0031】図4に示す段階で、例えば幅が約20nmの酸化シリコン層21とその後に厚さが約30nmである窒化シリコン層22が続く層を含む二重保護層は化学蒸着により構造全体の上にデポジットされる。この層21-22はバイポーラトランジスタのエミッターベース領域を形成したいエリア11で切り開かれている。この開口部の位置を定めることは該位置決めが厚い酸化領域の上で止まるので難しいことでないことに注意する必要がある。

【0032】図5に示す段階では、例えば幅が約200nmのシリコン層とその後に厚さが約300nmのカプセル封じ酸化物24が続く層が該構造全体の上にデポジットされている。

【0033】シリコン層23は後で判る様にNPNトランジスタの外因性ベースに対するドーピングされたソースとして使用されるのでP型にドーピングする必要がある。この層はベースシリコンと呼ばれるが、例えばアモルファスシリコンであるあらゆるタイプのデポジットされたシリコン層でもある。好ましくは、本発明の様相に基づき、ドーピングされないポリシリコン即ちアモルファスシリコン層23が最初にデポジットされ、その後P型のドーピングがこの層に注入される。好ましくは、ホウ素は非常に高い量でエネルギーの低いBF₂ (10¹⁵から10¹⁶at./cm²)の形で注入されるが、注入されないホウ素は層の上部に集中し、領域11の下にあるシリコン基板の中にホウ素が注入されるのを避ける様に行われる。

【0034】図6に示す段階で、開口部は領域11の中央部分の層23と24の中に与えられている。この開口部は幅が例えば0.4μmから0.8μmの間にあり、50nm以下だけモノシリコンの中に入っている。次に、N型の注入が行われ、NPNトランジスタのコレクタ30が定められる。N注入は中位の量で高エネルギー(例えば、500keVのもとで、10¹²から10¹⁴at./cm²)で行われる。この様に、後で形成される真性ベースの領域とほぼ等しく横の範囲が制限された実効的なコレクタの領域が得られる。これはコレクタと外因性ベースの間に少ない漂遊容量を有するNPNトランジスタを得ることをもたらしている。該注入は、コレクタの形状が一方ではコレクタの抵抗とこのコレクタを通る通過時間との間で最良の可能な妥協を与え、他方では十分高いエミッターコレクタ及びベースコレクタの降伏電圧(典型的には4ボルト)と低いベースコレクタ容量を得ることをえる様に最適化(例えば、連続的な注入)が行われる。更に、このコレクタ注入によりCMO

Sトランジスタを最適にするためのドーピングと適当な厚さを有し、これによりNPNトランジスタの特性を独立して最適にするエピタキシャル層2を予め選ぶことができる。特にこのエピタキシャル層はNPNトランジスタのコレクタ層として直接使用する必要があればより厚くできる。

【0035】図7に示す様に、マスキングレジストを除去した後、熱酸化が行われるが、これが行われる間厚さが約5nmから10nmの薄い熱酸化層31が形成され、更に熱酸化の間ポリシリコン層23に含まれるホウ素は下にあるエピタキシャル層内で拡散を開始し、例えば接合の深さが約100nmである外因性ベース領域32を形成する。この拡散は次にバイポーラ構造の最後のアニールにより終る。次にP型の注入が酸化物31を通して行われ、層23と24の開口部の中央に真性ベース領域33を形成する。この真性ベース領域は低いエネルギーのホウ素(例えば5keV以下で、10¹³at./cm²)を注入することが好ましい。ポリシリコン23との接触は該ポリシリコンのホウ素の横の拡散から生ずる。

【0036】次に、ポリシリコン層(100nm)でコートィングした薄い窒化シリコン層(30nm)の一様なデポジションが行われる。該ポリシリコン層は次に異方性のエッチングが行われ、層23と24の中に作られた開口部の横にスペーサ43のみが残る。次に、窒化シリコンの一様なエッチングが行われ、窒化シリコンがポリシリコンのスペーサ43によりエッチング(化学的又はプラズマエッチング)から保護された領域44内の適所に残る。窒化物44とスペーサ43は全体で、この様に真性ベースを限定するため、層23と24の中に最初に形成された開口部より小さい開口部を定める。このより小さな開口部はエミッタ開口部である。該スペーサの幅がそれぞれ150nmであれば、この小さな開口部の幅は約0.5μmである。

【0037】図8に示す段階で、薄い酸化層31は開口部の底で、エミッタ注入(ホウ素)の間保護層として更に窒化シリコン層に対しエッチングを止めるため使用されている薄い酸化層31は、例えば希釈フッ素水素酸の浴槽の中で注意深く洗浄される。十分にドーピングされたN型のポリシリコン層がデポジットされ、次にエッチングされ適所に領域46が残される。ドーピングされたポリシリコン層46の領域は選択された適所に保たれればこのポリシリコンの層46とベースポリシリコンの領域23の間に容量を形成する。

【0038】NPNトランジスタの製造段階の間、MOSトランジスタが形成された領域は酸化層21、窒化層22、ベースポリシリコン層23及び酸化層24により保護されていることに注意する必要がある。この積層によりあらゆる可能な汚染及びバイポーラトランジスタを形成するため注入したドーピングによるあらゆる妨害に対し非常に効率的な保護ができる。

【0039】図9に示す段階では、酸化層24及びベースポリシリコン層23は該バイポーラトランジスタのエミッターベース領域、及びベースポリシリコン層23の部分を使用した素子（抵抗、コンデンサ…）を含む他の可能な領域の外で取り除かれている。次に、カプセル封じの酸化シリコン層47がデポジットされる。

【0040】その後、アニールが行われ、ポリシリコン層46に含まれるドーピングをトランジスタのベース領域の中央に入れN型のエミッタ49を形成する。バイポーラトランジスタと関連したアニールによりドーピングの電気的再活性化が行われ、約60nmの深さまで接合が行われる。該アニールは早いアニールのタイプ及び／又は炉によるアニールのタイプである。熱的な処理（30s, 1000°C）はこれが行われないMOSの場合より容易である。

【0041】図10に示す段階では、カプセル封じの酸化シリコン、窒化シリコン、及び保護酸化シリコン層47、22及び21はケイ化物にしたい活性化及び／又はポリシリコン層、例えばPチャネルMOSトランジスタ、及びバイポーラトランジスタのコレクタウェルの上で取り除かれている。金属ケイ化物50は露出したモノシリコン及びポリシリコンの上に選択的に形成されている。

基板1	: $C_s = 10^{15}$ at./cm ³ ,
エピタキシャル層2	: $C_s = 10^{16}$ at./cm ³ , $e = 0.8$ から $1.4 \mu\text{m}$
埋め込み層3	: $C_s = 10^{20}$ at./cm ³ ,
酸化物5	: $e = 0.5 \mu\text{m}$
NまたはPソース及びドレイン	: $C_s = 10^{20}$ at./cm ³ , $e = 0.15 \mu\text{m}$

【0045】高精細CMOSの現在の製造ラインに完全に適合する本発明に基づく製造工程により、自己整列するバイポーラトランジスタ、コレクタ、真性ベース、エミッタ領域の実現が可能である。

【0046】このバイポーラトランジスタには多くの利点がある。その性能がCMOSトランジスタの存在の影響を受けない。特に、無線の周波数で使用することができる（カットオフ周波数が40GHzより高い）。該バイポーラトランジスタの非常に高い相互コンダクタンスと低い雑音によりアナログに有効に応用することができる。特に、（P⁺ポリシリコンの）ベース接觸によりベース抵抗を有効に非常に減少でき、これによりRFの雑音指数を有効に改善できる。この様に、バイポーラトランジスタは低価格であり、しかも同じチップの上でこのトランジスタを高性能CMOS回路と関連させる可能性を有した幾つかのAsGaトランジスタの代わりに使用することができる。

【0047】本発明に基づく方法は特に次の特徴を有していることを思い起こす事が出来る：

－次の3つの独立した段階を含んでいる：CMOSトランジスタを作る事、バイポーラトランジスタを作る事、及びシリサイデーションと相互接続を作る事；

－特に第1の段階においてすべての保護層21、22を

る。

【0042】図11に示す段階において、絶縁平面層51はあらゆる周知の方法、例えばホウ素及びリンをドーピングしたガラス層（BPSG）のデポジションによりデポジットされ、アニールされ、その後この層及び下にある可能性のある層は接触を行いたい所で切り開かれている。幾つかの接触のみ示しているが、これは良く知られている様に、該接触が実効領域の上に直接作られる必要が必ずしも無く、これらの実効領域から広がる導電領域と交差する様に広がった領域の上で可能である。この様に、図11ではPチャネルMOSトランジスタの1つののみのドレイン接觸53と、バイポーラトランジスタの1つのコレクタ接觸54と、1つのエミッタ接觸55と、1つのベース接觸56を示している。

【0043】図12Aは図11のバイポーラ側に対応しており、大きな目盛りでバイポーラトランジスタのエミッターベース領域を示している。

【0044】特別な実施態様において、更に大きさの次数の例を与えるため、次の数値データを有する構造を実現することを選ぶことができる（ここに、均質な層に対し e は幅を、 C_s は表面集中又は平均集中を示している）：

数回使用しバイポーラトランジスタの実現の間MOSトランジスタを保護することができ、第2の段階においてケイ化物にたくない素子を保護することができる；
－バイポーラトランジスタに加えられる熱処理はMOSトランジスタに対して“冷たく”、これは本質的にバイポーラトランジスタの殆どの拡散がドーピングされたポリシリコン層から生ずる事による；
－ベースポリシリコンは二つの方向に切り分けられ、局在するスペーサはエミッタアーチャの回りにのみ与えられる；
－以下に記載する様に、この方法はNチャネル及びPチャネルMOSトランジスタ及びNPNバイポーラトランジスタ以外の種々の基礎的な素子の実現に良く適合する。

【0048】A. ベース及び／又はエミッタのシリサイデーション

前述に示した様に、バイポーラトランジスタが形成されアニールが行われると、標準的なCMOS処理が自己整列したシリサイデーションにより再び行われる（図10）。この選択的なシリサイデーションにはケイ化物にされるシリコンの除去、その後にメタルデポジション（例えば、チタン、Tiの）及びアニールが必要である。このアニールの間、メタルデポジションによりシリ

コンと相互作用し、ケイ化物（例えば、 $TiSi_2$ ）が形成される。相互作用しない金属、 Ti はマスクを使用することなく化学的浴槽の中で選択的に取り除かれる。このシリサイデーションの段階で重要な事はモノシリコン又はポリシリコンの領域を覆わない事である。

【0049】該記載の方法はバイポーラトランジスタのベース及び／又はエミッタのシリサイデーションに適合する。これらの段階は使用した方法に制約を加えるのみで、処理の段階を加えることなくCMOSで既に知られた段階と完全に適合する。

【0050】シリサイデーションマスクを切り開く事はCMOS技術に対し層21と22と名称がSIPROTを含む保護層をエッチングする事により行われる（図10）。CMOS側では、層47、22及び21をそれぞれエッチングする必要がある。バイポーラ側では、層47はエミッタ領域に対するポリシリコン46の上で止まる様にエッチングし、層47と24はベース領域に対するベースポリシリコン23の上で止まる様にエッチングされる。

【0051】該エッチングの方法によれば、窒化物22とエミッタポリシリコン46を非常に壊す化学的作用を及ぼす事なく酸化物24の厚さ（300nm）だけCMOS領域の上に酸化物47（100nm）を重ねてエッチングすることが出来る。同様に、窒化物22（30nm）のエッチングは、覆われていないポリシリコン23と46のエッチングを重ねる事なく行なうことが実際には出来る。次に、酸化物21のエッチングは層23と46のエッチングを重ねることなく行なうことが出来る。

【0052】ベースポリシリコンはこの様に選択的に切り開かれケイ化物57が形成され（図12B）、エミッタポリシリコンは切り開かれケイ化物58が形成される（図12C）。自己整列シリサイデーションは更に容易に実現でき（図12D）ケイ化物59、60が形成される。実際には、サイズの大きな層24（300nm）によりベースとエミッタのケイ化物の短絡を避ける垂直スペーサを実現できる。

【0053】エミッタのケイ化物によりCMOS法に適合できる接触を作ることができ、更にエミッタ接触抵抗が減少する。

【0054】ベースのケイ化物はベース抵抗（これにより雑音が減少する）と該接触の良否に対し非常に有益である。

【0055】B. 開放ベーストランジスタ
ベースとコレクタ間の降伏電圧はこの技術に於ては重要なパラメータである。実際には、エピタキシャル層2の厚さが小さく成りドーピングが十分である程、素子のエミッタコレクタ及びコレクターベース降伏電圧値、 $V_{B_{CE0}}$ 及び $V_{B_{CB0}}$ を犠牲にして動作が速く成る。これらの降伏電圧値は供給電圧（3.3ボルト）より高く保つ必要がある。

【0056】次に、バイポーラトランジスタの厚い酸化物5とP型ドーピングのシリコン32との間の接続点は降伏電圧に対して弱点であるが、これは特にシリコン内での制約からと、電圧ラインの“位相の”歪みによる。この様に、降伏電圧を増加させるためモノシリコン内に厚い酸化物により開放されたベースPを実現する事は価値がある。

【0057】本発明の他の方法によれば、図4に示す段階で、層21、22を切り開く事を止める代わり、予め定められた開口部11内の厚い酸化層5の上で、開口部11に対し内部に切り開く事を層21、22の中で定めることができる。

【0058】この変形の方法の結果は図12Eに示してあり、領域21、22の内側の延長部は参照番号61で示している。

【0059】この他の方法は複数の結果を有している。該切り開きが重要に成るが、ベースポリシリコン／モノシリコンの接触領域を明確にする事が良く成る；ベースポリシリコンとモノシリコンの間の接触表面が少なくできる；外因性ベースとコレクタの間の容量が少なく成る；低周波雑音が減少し降伏電圧値 $V_{B_{CB0}}$ が高く成る。

【0060】C. セントラルベースNPNトランジスタ
図13Aから図13Cは本発明に基づくラインに適合するセントラルベースNPNトランジスタ構造の製造の段階を示している。

【0061】図13Aは図5に示す段階に続く製造方法の段階に対応している。図6に示す様に、トランジスタNPNのエミッタとベース領域を定める開口部11の中央でシリコン層23及びカプセル封じ酸化物24を洗浄する代わり、層23及び24の一部分63が開口部11の中央でほぼ適所に置かれている（これは図示の実施態様では、図12Eに関連して記載した開放された他の方法の状況に示されている）。図6に関連して記載した段階は従って次の様に行われる：

—リングの形をしたコレクタ30の注入、
—熱酸化層31の形成、中央の外因性ベース領域32を形成するためポリシリコン23内に含まれるホウ素の拡散、

—今度はベース接触23に対し周囲である真性ベース領域33の注入。

【0062】図13Bは図7に示す段階に対応しており、図13Cは図12に前に示した様な構造の最終の段階に対応している。

【0063】図13に示す構造は前に記載した過程に完全に適合するかなり大きなエミッタ／ベースの表面積比を有する新しいタイプのバイポーラトランジスタを形成している。この比によりベース—エミッタ容量と比較してベース—コレクタ容量の減少を最小にできる。更に中央で接触する円形の構造により所定の外因性

ベース表面領域に対しベースに至る抵抗が減少又は最小に成る。次に、この構造では、図12Eに示す構造の様に、真性ベースと厚い酸化物との間に接触が無い事に注意する必要がある。これにより信頼性の点とベースコレクタの降伏電圧に利点が生ずる。

【0064】これらの全ての特徴により高い動作周波数と低い雑音指数を得ることができる。

【0065】D. ラテラルNPNトランジスタ

図14は本発明に基づくラインに適合するラテラルPNPトランジスタの構造を示している。

【0066】このトランジスタはN⁺型の埋め込み層3の一部の上にあるエピタキシャル層2の中に形成されている。厚い酸化物5の中に、中央開口部が作られ、その中でP型エミッタ領域71がPチャネルMOSトランジスタのソース及びドレインと同じ注入により形成されている。層5の中には更にこの中央開口部の周囲にある開口部も形成されている。この周囲の開口部はP型にドーピングされたポリシリコンの一部72により頂上部が覆われ、前に記載したベースポリシリコン領域23に対応している。拡散により、ポリシリコンの部分72によりコレクタ領域73が生ずる。更に、第3の開口部が厚い酸化領域内に作られ、NPNトランジスタのコレクタウェルが形成されると同時にN⁺型のベース接触ウェル74が形成される。このウェル74は埋め込み層3と接合される。

【0067】好ましくは、シリサイデーションの段階の間、ケイ化物層76、77はエミッタ領域71とウェル75の表面に生ずる。エミッタ及びベースメタリゼーションはそれぞれ78と79であり図示している。本発明の様相によれば、エミッタメタリゼーション78はコレクタリング73とエミッタ領域71の間に構成されたベースリングの上で広がり、フィールドプレート(field plate)効果を与えている。

【0068】このPNPトランジスタの利得は種々な方法で最適にされる。

【0069】ベース接触がN⁺埋め込み層を通って生じている事は以前からの欠点であるが、これはこのN⁺埋め込み層が激しくベース電流を増加させトランジスタの利得を減少させるベース領域と再結合するからである。しかし、前の事から判る様に、特別なコレクタ注入がNPNトランジスタに使用されているので比較的厚いエピタキシャル層2が保たれ、これによりMOSトランジスタの動作が最適にされ、更にPNPトランジスタの場合、ベース効果との再結合に関連した利得の減少効果の解決に役立っている。

【0070】エミッタ(71、76)の構造は最適にされている。エミッタ注入71がPチャネルMOSトランジスタのソース及びドレインの注入と同じである事が示されている。PNPトランジスタが該構造体の中に実現される場合、この注入量は自発的に減少し、この注入量

はケイ化物であるMOSトランジスタのソース及びドレインに対し欠点と成らない。エミッタ内でPドーピングの集中が減少する事はこのエミッタ内での少数キャリア(電子)が直接再結合する事を避ける事によりベース電流が最適(減少)にされる。この効果はエミッタ71の上のケイ化物領域76が縮小した表面積である事により強化される。

【0071】コレクタ接触の領域72を形成し拡散に使用されるベースポリシリコン(参照番号23で示している)はコレクタとの接触を作るため使用されている。これにより幾つかの利点が与えられる。接合は欠点が無く非常に品質が高く、注入型接合に比較して高いベースコレクタ降伏電圧値を有している。これにより、前に示した様に、コレクタ領域の上に金属レベル78を延ばすことができる。更に、これによりトランジスタを安定にさせエージング特性を非常に改善するスクリーン効果が与えられる。又、ポリシリコン層72により実現された該スクリーンはコレクタと基板の間の構造体の外も安定にする。

【0072】約60の利得を有することができる満足する特性のPNPトランジスタはこの様に、CMOSトランジスタとNPNトランジスタを形成するため前に記載した技術的な段階のみを使用する事により得られる。

【0073】E. 静電放電に強いMOSトランジスタ
図15は静電放電に強く本発明に基づくラインに適合するMOSトランジスタの構造を示している。

【0074】図の左側にはドレイン、ソース及びゲートがケイ化物にされている従来のPチャネルMOSトランジスタを示している。

【0075】静電放電に強いトランジスタは従来のMOSトランジスタの開口部より大きな開口部内に形成されている。図の左側には、酸化物層21の残された部分81と、窒化シリコン層22の残された部分82と、前に記載した酸化シリコン層47の残された部分83でコーティングされた従来のドレイン、ソース及びゲート構造を示している。ドレイン領域84は層81、82内に作られた開口部に向かい、更に厚い酸化領域5に向かい図の右側に広がっている。この開口部内で、前述の酸化層23と24に対応した酸化層86と87の部分でコーティングされたベースポリシリコンの層23の部分85は適所に置かれている。これらの層85、86及び87は共に厚い酸化物の上で右に広がり(更に部分的には酸化物及び窒化シリコンの層21と22の上にある)、及び接触88は該ドレイン領域から離れたポリシリコン層85の上に作られている。更に、P拡散88はエピタキシャル層の中で、むしろポリシリコンの部分85に接觸した領域の下にあるエピタキシャル層のNウェルの中で行われる。このように、P型のドーピングのベースポリシリコンを使用することにより、P⁺型ドレイン接觸領域を作り、高品質の固体-固体拡散により作られる接合を

作り、アクセス抵抗を増加させ、絶縁領域の上に電流の通路を作り、更にPN接合により形成された感度の良い領域から離して、金属接触を実現することができる。この構造は静電放電に対し所定の降伏電圧を特に小さくする利点を有している。特に、従来単にCMOS技術を使用した方法より小さくなる。

【0076】PチャネルMOSトランジスタ構造は以下の様に記載できる。同様に、NチャネルMOSトランジスタ構造はベースポリシリコン85の代わりに、エミッタポリシリコン層の一部を使用することにより実現できる。

【0077】F. 高電圧MOSトランジスタ
図16は本発明に基づくラインに適合する“高電圧”MOSトランジスタの構造を示している。

【0078】実際には、前述の技術において、集積の規定により最小の大きさが0.35μmである技術に対しCMOSトランジスタでは典型的には約7nmの非常に薄い酸化ゲートを有することが必要となる。この結果、MOSトランジスタは約3.3ボルトの供給電圧にのみ耐える。

【0079】しかし、特に入力/出力素子を形成するため、より高い電圧、例えば約10ボルトの“高い”電圧に耐える素子を作ることが望まれている。

【0080】このような素子を作るため、P⁺型埋め込み層91が最初作られ、この埋め込み層にはほぼ面している厚い酸化物5の中に開口部92が作られている。この開口部の中には、図2に関連して記載したウェルと同時にP型層93が形成される。図3に関連したCMOSトランジスタの形成の段階の間は、ゲートポリシリコンは形成されていない。しかし、ドレインとソースの拡散（103と104）は、CMOSのNチャネルMOSトランジスタの場合と同時に適当なマスクを用いて行われる。酸化シリコン層21と窒化シリコン層22を含む保護層を作る段階の間、これらの層は窓92の中に作られた開口部の上にデポジットされる。次に、図4に関連して示すこの保護層のエッチングの段階の間、保護層21、22の一部は、開口部の内側の周辺の適所に、及び層21、22のこれらの部分95、96は高電圧トランジスタのゲート絶縁を形成している中央の領域に残っている。図5に示す段階に対応して、P型ポリシリコン層23と酸化保護層24はデポジットされ、MOSトランジスタのゲート領域に対応した位置97と98の適所に残っている。

【0081】図6に示す段階に対応して、バイポーラトランジスタのコレクタに対応したN型のドーピングが注入される。このドーピングは酸化物内の開いた部分と、中央の領域97、98の間の窒化層21及び22と、周辺部分に入っている。しかし、この注入は効果がない。これは、この注入が無効にされるP型の十分にドーピングされた埋め込み層91の中に本質的に位置しているか

らである。

【0082】図7に関連して記載した段階に対応して、窒化シリコン層44とポリシリコンスペーサ43はゲート側95、96の上に形成されている。

【0083】図8に示す段階に対応して、N型のドーピングされたポリシリコン層はデポジットされ、参照番号99で示す位置の適所に、即ち特に保護層21、22の切り開かれた領域の上に保たれ、更にこの層99内に含まれるN型ドーピングは下にあるP型のウェル93の中に拡散され、予め形成されたドレイン及びソース領域103と104に接触するドレイン及びソース接触リカバリー領域101、102を形成している。

【0084】次の段階は前に述べた段階に対応しており、高電圧MOSトランジスタが形成されるこの特別な領域に限定されない。

【0085】自己整列しないP⁺型ドーピングのポリシリコンゲートとN⁺型が注入されたソースとドレインを有するNチャネルMOSトランジスタはこの様に得られる。これらソースとドレインの上での接触のリカバリーはエミッタベースポリシリコンからの固体-固体拡散により行われ、これにより特に高電圧の構造の場合接触の信頼性が良くなる。ソースとドレイン接合の降伏電圧値は従って高い（10ボルト）。

【0086】ゲート絶縁体は全体の厚さが約50nmである酸化シリコンと窒化シリコンの化合物により形成される事に注意する必要がある。P⁺型ポリシリコンゲートを使用することにより、MOSトランジスタの閾値電圧を下げる事ができるが、しかし約2ボルトで比較的高いままである。

【0087】更に、ゲート絶縁体の混合された構造（酸化物/窒化物）により、この種の素子はSiO₂、Si₃N₄のインターフェイスで電荷を利用することにより、MIS（金属-絶縁体-絶縁体-半導体）メモリノードとして使用することができる。

【0088】二重の層21、22は要望に基づき最適にし、集積回路内に高電圧トランジスタ又はメモリノードを形成することができる。

【0089】提供された高電圧MOSトランジスタは特に例えば映像及び電話の回路に使用することができる。これらの回路は今まで、5ボルトから10ボルトの間の電圧を使用していたが、これらの5ボルトから10ボルトを3.3ボルトに変換し本発明に基づき得られるCMOS素子で処理される。

【0090】不揮発性メモリノードは非常に精度を必要とし、例えば演算増幅器の電圧オフセット又はアナログ対デジタルの非直線性が問題であるアナログ回路に有効である。又、メモリノードは補正“メモリプレーン”を作るため使用される。

【0091】G. 二重ゲートEPROMトランジスタ
図17は本発明に基づくラインに適合し、メモリノード

として使用される様な絶縁ウェルを有した二重ゲートE PROMトランジスタの構造を示している。このメモリノードは前記のPウェル9に対応したPウェル112内で、前記の埋め込み層3に対応したN型埋め込み層111の上の厚い酸化層の中に作られたアーチチャの中に形成されている。第1のゲート115、スペーサ116、ソース及びドレイン領域117のゲート絶縁構造114は図3に関連して記載したNチャネルMOSトランジスタのゲート絶縁構造に対応している。

【0092】次に、酸化層21と窒化層22を含み図4に示す保護層は該構造の上にデポジットされ、同様にベースポリシリコンとカプセル封じ層23と24のこれら二つの層は図9に関連して記載したことと同じエッチングにより領域118と119の中の適所に残されている。領域118は前述のゲートポリシリコン部分115の上で広がり、保護層21、22により第1のゲートから絶縁されている第2のゲートを形成している。その後、保護層21、22は該構造のドレイン及びソース領域の上で切り開かれ、この開口部は厚い酸化物の上で広がっている。識別できるドレインとソース領域のシリサイデーションが次に行われ、該処理は絶縁層と接触領域を形成する事により他の素子に対し継続される。

【0093】P型ウェルは埋め込み層111により絶縁されている。この様に、適当なバイアスによりPウェルから浮遊ゲート内にキャリアを注入することができる。

【0094】当業者は他の素子を本発明に基づき使用することにより考えることができ、このラインは幾つかの変更、修正及び改善を有する可能性があることに気付くであろう。特に、示した数値の値は例であり、示したそれぞれの材料は例えば同じ機能を果たす他の材料と置き換えることができる（例えば、他の材料に対し選択的にエチッピングすること）。更に、種々の基本的な素子は一つの又は他のタイプの導電率の埋め込み層と共に又はそれを使用すること無く実施することができる。

【0095】この種の変更、修正又は改善はこの開示の一部であり、本発明の精神及び範囲にある。従って、前述の記載は一例であり、これに制限されない。

【図面の簡単な説明】

【図1】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図2】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図3】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図4】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図5】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図6】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図7】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図8】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図9】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図10】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図11】本発明に基づくNチャネルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図12A】本発明に基づき得られるNPN型バイポーラトランジスタの拡大図である。

【図12B】図12Aの構造の他の実施態様である。

【図12C】図12Aの構造の他の実施態様である。

【図12D】図12Aの構造の他の実施態様である。

【図12E】図12Aの構造の他の実施態様である。

【図13A】本発明に基づく方法を使用して実現できるNPNトランジスタのセントラルベースを有している他の実施態様を製造する連続した段階を示す図である。

【図13B】本発明に基づく方法を使用して実現できるNPNトランジスタのセントラルベースを有している他の実施態様を製造する連続した段階を示す図である。

【図13C】本発明に基づく方法を使用して実現できるNPNトランジスタのセントラルベースを有している他の実施態様を製造する連続した段階を示す図である。

【図14】本発明に基づく製造方法を使用して実現できるPNPトランジスタの例を示す図である。

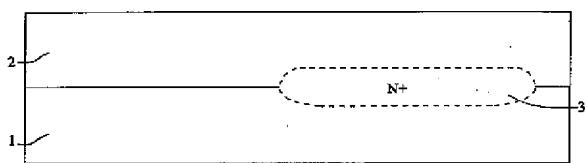
【図15】本発明に基づく製造方法を使用して実現でき

る過電圧又は静電放電に強いMOSトランジスタの例を示す図である。

【符号の説明】

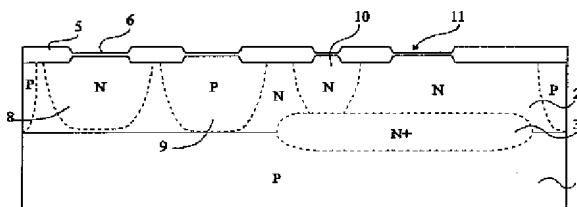
- 1 P型基板
- 2 N型エピタキシャル層
- 3 埋め込み層
- 5 厚い酸化層
- 6 薄い酸化領域
- 8 N型ウェル
- 9 P型ウェル
- 10 コレクタウェル
- 11 NPN型バイポーラトランジスタが形成されている領域
- 13、14 MOSトランジスタの絶縁領域
- 15、16 スペーサ
- 21 酸化シリコン層
- 22 窒化シリコン層
- 23 シリコン層
- 24 カプセル封じの酸化物
- 30 NPNトランジスタのコレクタ
- 31 薄い熱酸化層
- 32 外因性ベース領域
- 33 真性ベース領域
- 43 ポリシリコンスペーサ
- 44 窒化物
- 46 ドーピングされたポリシリコンの領域
- 47 ベースポリシリコンの一部
- 49 N型エミッタ
- 47 カプセル封じ酸化シリコン層
- 50 金属ケイ化物
- 51 絶縁平面層
- 53 PチャネルMOSトランジスタのドレイン接触
- 54 バイポーラトランジスタのコレクタ接触
- 55 バイポーラトランジスタのエミッタ領域
- 56 バイポーラトランジスタのベース領域
- 57、58、59、60 ケイ化物

【図1】

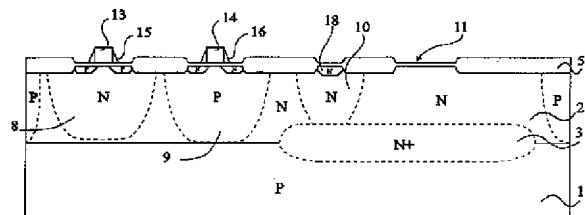


- 61 領域21、22の内側延長部
- 63 層23、24の一部
- 71 P型エミッタ領域
- 72 P型のドーピングされたポリシリコンの一部
- 73 コレクタ領域
- 75 N+型ベース接触ウェル
- 76、77 ケイ化物層
- 78 エミッタメタリゼーション
- 79 ベースメタリゼーション
- 81 酸化層21の残った部分
- 82 窒化シリコン層の残った部分
- 83 酸化シリコン層の残った部分
- 84 ドレイン領域
- 85 酸化層の一部で覆われたベースポリシリコン層
- 86、87 酸化層の一部
- 88 ポリシリコン層85の上に作られたP拡散
- 91 P+型埋め込み層
- 92 厚い酸化物の中に作られた開口部
- 93 P型層
- 95、96 高電圧トランジスタのゲート絶縁から作られている層21、22の部分
- 97、98 MOSトランジスタのゲート領域に対応した位置
- 99 保護層21、22の開口部の上にある位置
- 101 ドレイン接触リカバリー
- 102 ソース接触リカバリー
- 103 接触ドレイン領域
- 104 接触ソース領域
- 111 N型埋め込み層
- 112 P型埋め込み層
- 114 ゲート絶縁構造
- 115 第1のゲート
- 116 スペーサ
- 117 ドレイン領域
- 118 ゲートポリシリコン部分115の上に広がった領域

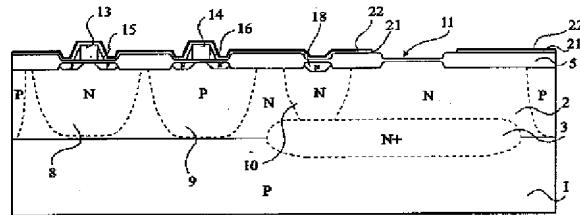
【図2】



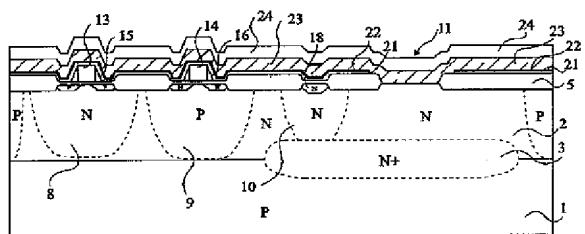
【図3】



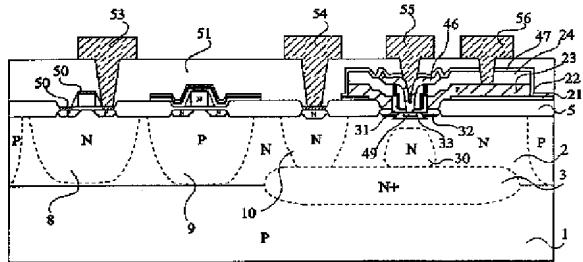
【図4】



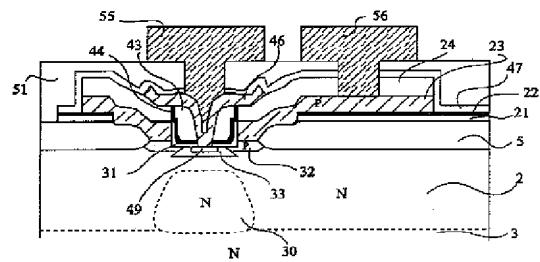
【図5】



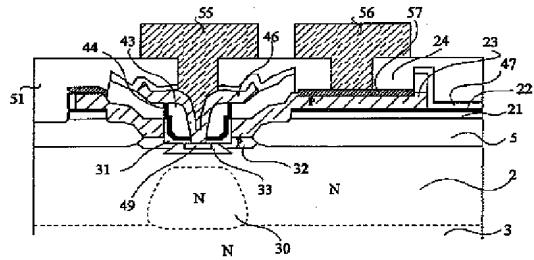
【図11】



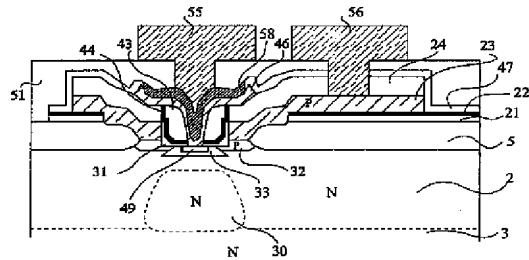
【図12A】



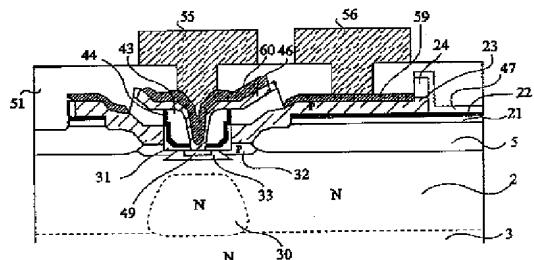
【図12B】



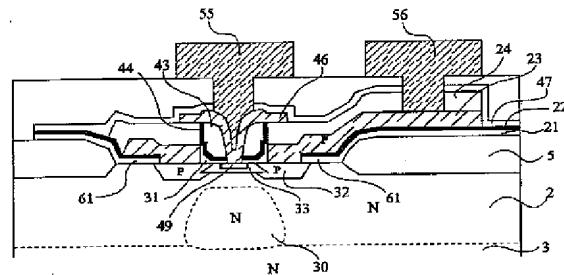
【図12C】



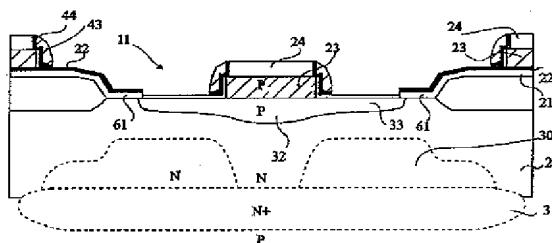
【図12D】



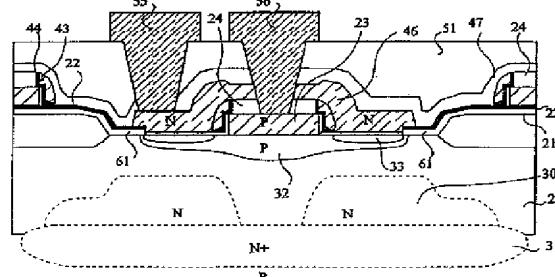
【図12E】



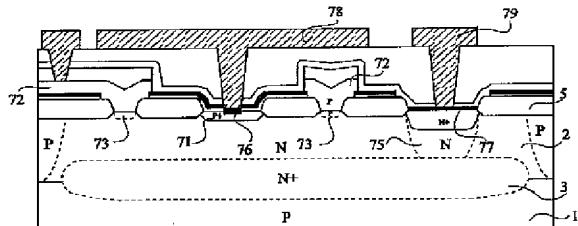
【図13B】



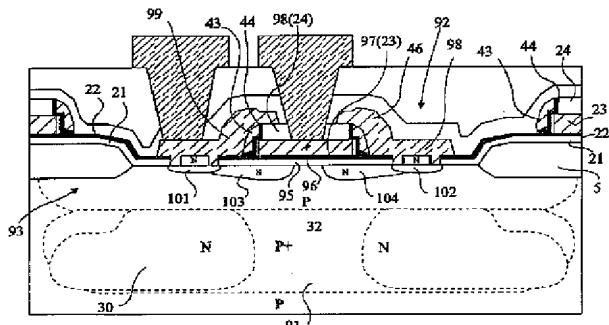
【図13C】



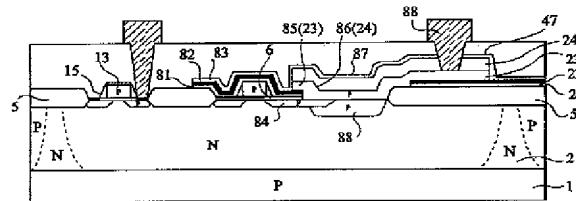
【図14】



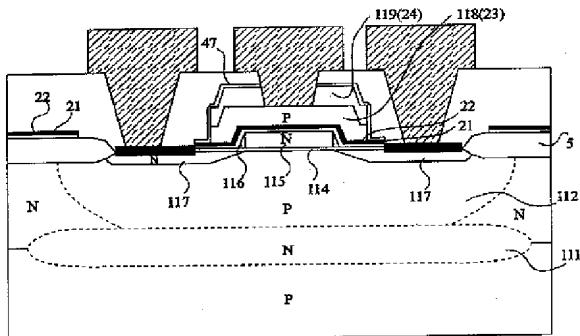
【図16】



【図17】



【図17】



【手続補正書】

【提出日】平成10年3月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】画面の簡単な説明

【補正方法】麥更

【補正內容】

【図面の簡単な説明】

【図1】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略化した断面図である。

【図2】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略化した断面図である。

【図3】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図4】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す

す簡略した断面図である。

【図5】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図6】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図7】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図8】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図9】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図10】本発明に基づくNチャルMOSトランジス

タ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図11】本発明に基づくNチャルMOSトランジスタ、PチャネルMOSトランジスタ、及びNPN型バイポーラトランジスタの実施態様を製造する連続した段階を示す簡略した断面図である。

【図12A】本発明に基づき得られるNPN型バイポーラトランジスタの拡大図である。

【図12B】図12Aの構造の他の実施態様である。

【図12C】図12Aの構造の他の実施態様である。

【図12D】図12Aの構造の他の実施態様である。

【図12E】図12Aの構造の他の実施態様である。

【図13A】本発明に基づく方法を使用して実現できるNPNトランジスタのセントラルベースを有している他の実施態様を製造する連続した段階を示す図である。

【図13B】本発明に基づく方法を使用して実現できるNPNトランジスタのセントラルベースを有している他の実施態様を製造する連続した段階を示す図である。

【図13C】本発明に基づく方法を使用して実現できるNPNトランジスタのセントラルベースを有している他の実施態様を製造する連続した段階を示す図である。

【図14】本発明に基づく製造方法を使用して実現できるPNPトランジスタの例を示す図である。

【図15】本発明に基づく製造方法を使用して実現できる過電圧又は静電放電に強いMOSトランジスタの例を示す図である。

【図16】本発明に基づく製造方法を使用して実現できるメモリに関係した高電圧MOSトランジスタの例を示す図である。

【図17】本発明に基づく製造方法を使用して得ることができるEPROMの構造の例を示す図である。

【符号の説明】

- 1 P型基板
- 2 N型エピタキシャル層
- 3 埋め込み層
- 5 厚い酸化層
- 6 薄い酸化領域
- 8 N型ウェル
- 9 P型ウェル
- 10 コレクタウェル
- 11 NPN型バイポーラトランジスタが形成されている領域
- 13、14 MOSトランジスタの絶縁領域
- 15、16 スペーサ
- 21 酸化シリコン層
- 22 硅化シリコン層
- 23 シリコン層
- 24 カプセル封じの酸化物
- 30 NPNトランジスタのコレクタ

- 31 薄い熱酸化層
- 32 外因性ベース領域
- 33 真性ベース領域
- 43 ポリシリコンスペーサ
- 44 硅化物
- 46 ドーピングされたポリシリコンの領域
- 47 ベースポリシリコンの一部
- 49 N型エミッタ
- 47 カプセル封じ酸化シリコン層
- 50 金属ケイ化物
- 51 絶縁平面層
- 53 PチャネルMOSトランジスタのドレイン接触
- 54 バイポーラトランジスタのコレクタ接触
- 55 バイポーラトランジスタのエミッタ領域
- 56 バイポーラトランジスタのベース領域
- 57、58、59、60 ケイ化物
- 61 領域21、22の内側延長部
- 63 層23、24の一部
- 71 P型エミッタ領域
- 72 P型のドーピングされたポリシリコンの一部
- 73 コレクタ領域
- 75 N⁺型ベース接触ウェル
- 76、77 ケイ化物層
- 78 エミッタメタリゼーション
- 79 ベースメタリゼーション
- 81 酸化層21の残った部分
- 82 硅化シリコン層の残った部分
- 83 酸化シリコン層の残った部分
- 84 ドレイン領域
- 85 酸化層の一部で覆われたベースポリシリコン層
- 86、87 酸化層の一部
- 88 ポリシリコン層85の上に作られたP拡散
- 91 P⁺型埋め込み層
- 92 厚い酸化物の中に作られた開口部
- 93 P型層
- 95、96 高電圧トランジスタのゲート絶縁から作られている層21、22の部分
- 97、98 MOSトランジスタのゲート領域に対応した位置
- 99 保護層21、22の開口部の上にある位置
- 101 ドレイン接触リカバリー
- 102 ソース接触リカバリー
- 103 接触ドレイン領域
- 104 接触ソース領域
- 111 N型埋め込み層
- 112 P型埋め込み層
- 114 ゲート絶縁構造
- 115 第1のゲート
- 116 スペーサ
- 117 ドレイン領域

118 ゲートポリシリコン部分 115 の上に広がった 領域